



PATENT
ATTORNEY DOCKET NO.: 040894-5755

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Goro NAKATANI, et al.

Application No. 10/043,276

Filed: January 14, 2002

For: SEMICONDUCTOR DEVICE AND
METHOD FOR MANUFACTURING
THE SAME

)
) Confirmation No. 4701

)
) Group Art Unit: 2811

)
) Examiner: Junghwa M. Im

)
)
) Commissioner for Patents
Alexandria, VA 22314

Sir:

DECLARATION UNDER 37 C.F.R. § 1.131

I, Goro NAKATANI and Tatsuya SAKAMOTO, declare as follows:

1. I am a named inventor of the above-identified U.S. Patent Application.

2. Educational Background:

Goro Nakatani graduated Doshisha University of Faculty of Engineering, Department of Chemical Engineering in 1989, and

Tatsuya Sakamoto graduated Kyushu Institute of Technology of Engineering, Department of Design Manufacturing Engineering in 1994;

3. Work Experience

ATTORNEY DOCKET NO. 040894-5755

Application No. 10/043,276

Page 2

Goro Nakatani, working for Rohm Co., Ltd., has been involved in research of Wafer Process from 1989 to the present date, and

Tatsuya Sakamoto, working for Rohm Co., Ltd., has been involved in research of Wafer Process from 1994 to February 2005, and working for Rohm Fukuoka Co., Ltd., has been involved in research of Process Technology from March 2005 to the present date;

4. I am a named inventor of Japanese Patent Application No. 2001-6581 (the *JP priority application*) filed in ~~Korea~~ ^{Japan} on ~~December 9, 2002~~ ^{January 15, 2001}. ~~A verified translation of the JP priority application is to be filed concurrently herewith. Further, I understand that a certified copy of the JP priority application was submitted to the U.S. Patent and Trademark Office on January 14, 2002 in the above-identified U.S. Patent Application.~~ ^{9/7/ September 7, 2005}

5. My invention is disclosed and claimed in the above-identified U.S. Patent Application and is described in the *JP priority application* which was filed January 15, 2001 in Japan. I understand that the filing of the *JP priority application* constitutes a "constructive reduction to practice" of my invention on January 15, 2001.

6. I conceived my invention at least by January 5, 2001 as evidenced by the letter dated January 5, 2001 from Eikoh Patent Office provided to Mr. Takahashi of the Intellectual Property Department of Rohm Co., Ltd. with an attached draft specification which lead to the filing of the *JP priority application*. A copy of the letter dated January 5, 2001, the attached

ATTORNEY DOCKET NO. 040894-5755
Application No. 10/043,276
Page 3

draft specification, and a translation of these Japanese language documents are attached as an Exhibit to this Declaration.

7. Between January 5, 2001 (i.e., the date of the letter) and January 15, 2001 (i.e., the filing date of the *JP priority application*), Mr. Takahashi of the Intellectual Property Department of Rohm Co., Ltd. transmitted the draft specification to Mr. Goro Nakatani (as lead inventor), Mr. Nakatani reviewed the draft specification, Mr. Nakatani provided comments to Mr. Takahashi regarding finalizing the draft specification, Mr. Nakatani provided instructions authorizing Eikoh Patent Office to finalize and file the application with the Japanese Patent Office, staff members of Eikoh Patent Office finalized the application and prepared transmittal papers to the Japanese Patent Office. I believe that these activities evidence diligence between January 5, 2001 and January 15, 2001.

8. I further declare that all statements made herein of my own knowledge are true, and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code, and that such willful false statements may jeopardize the validity of the above-referenced application or any patent issuing thereon.

Dated: September 9, 2005

By: Goro Nakatani
Goro NAKATANI

Dated: _____

By: _____
Tatsuya SAKAMOTO



PATENT
ATTORNEY DOCKET NO.: 040894-5755

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Goro NAKATANI, et al.

Application No. 10/043,276

Filed: January 14, 2002

**For: SEMICONDUCTOR DEVICE AND
METHOD FOR MANUFACTURING
THE SAME**

Confirmation No. 4701

Group Art Unit: 2811

Examiner: Junghwa M. Im

Commissioner for Patents
Alexandria, VA 22314

Sir:

DECLARATION UNDER 37 C.F.R. § 1.131

I, Goro NAKATANI and Tatsuya SAKAMOTO, declare as follows:

- 1. I am a named inventor of the above-identified U.S. Patent Application.**

- ## 2. Educational Background:

Goro Nakatani graduated Doshisha University of Faculty of Engineering, Department of Chemical Engineering in 1989, and

**Tatsuya Sakamoto graduated Kyushu Institute of Technology of Engineering,
Department of Design Manufacturing Engineering in 1994;**

- ### 3. Work Experience

ATTORNEY DOCKET NO. 040894-5755
Application No. 10/043,276
Page 2

Goro Nakatani, working for Rohm Co., Ltd., has been involved in research of Wafer Process from 1989 to the present date, and

Tatsuya Sakamoto, working for Rohm Co., Ltd., has been involved in research of Wafer Process from 1994 to February 2005, and working for Rohm Fukuoka Co., Ltd., has been involved in research of Process Technology from March 2005 to the present date;

4. I am a named inventor of Japanese Patent Application No. 2001-6581 (the *JP priority application*) filed in ~~Korea~~ ^{Japan} on ~~December 9, 2002~~ ^{January 15, 2001}. A verified translation of the *JP priority application* is to be filed concurrently herewith. Further, I understand that a certified copy of the *JP priority application* was submitted to the U.S. Patent and Trademark Office on ~~January 14, 2002~~ ^{J. S. September 12, 2005} in the above-identified U.S. Patent Application.

5. My invention is disclosed and claimed in the above-identified U.S. Patent Application and is described in the *JP priority application* which was filed January 15, 2001 in Japan. I understand that the filing of the *JP priority application* constitutes a "constructive reduction to practice" of my invention on January 15, 2001.

6. I conceived my invention at least by January 5, 2001 as evidenced by the letter dated January 5, 2001 from Elkoh Patent Office provided to Mr. Takahashi of the Intellectual Property Department of Rohm Co., Ltd. with an attached draft specification which lead to the filing of the *JP priority application*. A copy of the letter dated January 5, 2001, the attached

ATTORNEY DOCKET NO. 040894-5755

Application No. 10/043,276

Page 3

draft specification, and a translation of these Japanese language documents are attached as an Exhibit to this Declaration.

7. Between January 5, 2001 (i.e., the date of the letter) and January 15, 2001 (i.e., the filing date of the *JP priority application*), Mr. Takahashi of the Intellectual Property Department of Rohm Co., Ltd. transmitted the draft specification to Mr. Goro Nakatani (as lead inventor), Mr. Nakatani reviewed the draft specification, Mr. Nakatani provided comments to Mr. Takahashi regarding finalizing the draft specification, Mr. Nakatani provided instructions authorizing Bikoh Patent Office to finalize and file the application with the Japanese Patent Office, staff members of Bikoh Patent Office finalized the application and prepared transmittal papers to the Japanese Patent Office. I believe that these activities evidence diligence between January 5, 2001 and January 15, 2001.

8. I further declare that all statements made herein of my own knowledge are true, and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code, and that such willful false statements may jeopardize the validity of the above-referenced application or any patent issuing thereon.

Dated: _____

By: _____
Goro NAKATANIDated: 2005/9/12By: Tatsuya Sakamoto
Tatsuya SAKAMOTO

EXHIBIT

(Letter of January 5, 2001 for
Declaration under 37 C.F.R. § 1.131)

送付状

2001 年 1 月 5 日

ローム株式会社
知的財産部

御中

栄光特許事務所

東京都港区赤坂 1 丁目 12 番 32 号

アーク森ビル 28 階 〒107-6028

特許部 特許課

ご担当：高橋哲也 様

技術担当者	事務担当者
渡辺洋子	

貴社整理番号 00-128

弊社整理番号 P-35905

発明の名称：半導体装置およびその製造方法

TEL: 03-5561-3622

FAX: 03-5561-3954

明細書案をお送りします。

遅くなって申し訳ありません。

トレース図面は作成中です。出来上がり次第お送りします。

よろしくお願いします。

【書類名】 特許願
【整理番号】 P-35905
【提出日】 平成13年 1月 日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/90
【発明の名称】 半導体装置およびその製造方法
【請求項の数】

【発明者】

【住所又は居所】 京都府京都市右京区西院溝崎町21番地 ローム株式会社内

【氏名】 仲谷吾郎

【発明者】

【住所又は居所】 京都府京都市右京区西院溝崎町21番地 ローム株式会社内

【氏名】 阪本達哉

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 1 0 0 1 0 5 4 7 4

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 0 3 — 5 5 6 1 — 3 9 9 0

【選任した代理人】

【識別番号】 1 0 0 1 0 8 5 8 9

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 0 3 — 5 5 6 1 — 3 9 9 0

【選任した代理人】

【識別番号】 1 0 0 1 1 5 1 0 7

【弁理士】

【氏名又は名称】 ~~高松 猛~~

【電話番号】 ~~0 3 — 5 5 6 1 — 3 9 9 0~~

【選任した代理人】

【識別番号】 1 0 0 0 9 0 3 4 3

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03—5561—3990

【手数料の表示】

【予納台帳番号】

【納付金額】 21000

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 所望の素子領域の形成された基板表面に形成された配線層と、

前記配線層表面を覆う層間絶縁膜と、前記層間絶縁膜表面全体を覆うように形成された窒化シリコン膜と、

前記窒化シリコン膜の上層に形成された最上層メタルとしての金層からなるメタル配線層と、

前記メタル配線層上に形成された平坦化絶縁膜とを含むことを特徴とする半導体装置。

【請求項2】 前記平坦化絶縁膜はポリイミドからなることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記窒化シリコン膜は高密度プラズマCVD法で形成され

た窒化シリコン膜であることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記メタル配線層は、一部領域でポリイミド樹脂層が除去せしめられ、前記領域でボンディングワイヤが接続せしめられていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 所望の素子領域の形成された半導体基板表面に下地配線層を形成する工程と、

凹凸状表面を有する前記下地配線層の上に、層間絶縁膜を形成する工程と、
前記層間絶縁膜の上に窒化シリコン膜を形成する工程と、

前記窒化シリコン膜の上層に金層からなる最上層配線としてのメタル配線層を形成する工程と、

前記メタル配線層上にポリイミド樹脂膜を塗布し表面を平坦化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 前記メタル配線層は所望の領域でスルーホールを介して前記下地配線層と接続するとともに、厚く低抵抗の配線層を構成していることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 さらに前記ポリイミド樹脂層の一部領域を除去する工程を含み、

前記一部領域で、前記メタル配線層表面に接続するようにワイヤボンディングを行う工程とを含むことを特徴とする請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、最上層配線およびパッシベーション構造に関する。

【0002】

【従来の技術】

VLSI（超大規模集積回路）等の半導体装置を製造する際に、配線間絶縁膜の上面を平坦化する種々の技術が提案されている。図1に、従来の配線間絶縁膜平坦化技術を用いて半導体装置を製造する手順の一例を示す。

【0003】

従来の製造方法によれば、図1に示すように、まず、半導体基板1上にフィールド酸化膜2を形成したものを用意し、フィールド酸化膜2や半導体基板1の上に、ポリシリコンゲート5を備えたMOSFET（金属酸化物シリコン電界効果型トランジスタ）を形成する。

【0004】

つぎに、これらを覆うように、層間絶縁膜（ILD: Inter Layer Dielectric）3を形成する。層間絶縁膜3は、たとえばPSG（リンをドーピングしたシリコン酸化膜）やBPSG（ボロンおよびリンをドーピングしたシリコン酸化膜）により構成される。つぎに、層間絶縁膜3の上にアルミ配線4を形成する。

【0005】

この上にCVD法（気相成長法）等によりUSG（非ドーブケイ酸ガラス）を堆積させることによりUSG層6を形成する。

【0006】

つぎに、最上層メタル配線としてのアルミニウム配線7sを形成した後、パッシベーション膜とPSG（リンをドーピングしたシリコン酸化膜）やBPSG（ボロンおよびリンをドーピングしたシリコン酸化膜）8を形成した

後、SOG膜8sを形成し表面の平坦化を行う。

【0007】

このようにして、パッシベーション膜を形成するとともに、表面の平坦化を行うが、下地のアルミニウム配線を完全に保護するためには十分な膜厚のパッシベーション膜を形成する必要がある、成膜にも時間を要するという問題があった。

また、最上層配線はボンディングを行う必要がある、ボンディング耐性に優れた電極パッドを形成する必要がある。したがって、ボンディングパッド部分のみ別に形成するかあるいは、同一工程で形成する場合には、膜厚を十分に厚くする必要がある。したがって表面の凹凸を大きくすることになり、上層に形成するパッシベーション膜の平坦化処理が難しいという問題もある。

また、SOG工程においては、多くの工程、作業を要する。たとえば、SOG層を塗布した後、エッチバックにより不要部分を除去するまでに、塗布したSOG層の膜厚の測定作業、および、塗布したSOG層のアニール工程が必要であり、SOG層のエッチバック工程においては、残膜測定作業が必要である。また、エッチバック工程後には、エッチバック工程において生じたパーティクル（ごみ）を除去するために、O₂プラズマ処理工程、および、ブラシを用いたスクラバー工程等が必要となる。さらに、SOG工程には、絶縁材料としてケイ素化合物（一般にR_nSi(OH)_{4-n}）が用いられるが、これらは、比較的高価であるという問題もある。

【0010】

【発明が解決しようとする課題】

このように、従来の配線構造では、製造作業性が悪く、かつ信頼性を維持するのが困難であるという問題があった。

【0012】

この発明は、このような問題点を解決し、製造が容易でかつ絶縁性に優れ、

平坦な上面（表面）を持つパッシベーション構造を備えた配線構造を、低コストかつ短リードタイムで形成する、半導体装置の製造方法を提供することを目的とする。

また、配線抵抗が小さくボンディング耐性が高い配線構造を提供することを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

そこで本発明の第1では、所望の素子領域の形成された基板表面に形成された配線層と、前記配線層表面を覆う層間絶縁膜と、前記層間絶縁膜表面全体を覆うように形成された窒化シリコン膜と、前記窒化シリコン膜の上層に形成された最上層メタルとしての金層からなるメタル配線層と、前記メタル配線層上に形成された平坦化絶縁膜とを含むことを特徴とする。

かかる構成によれば、最上層のメタル配線層を金で構成しているため、低抵抗でかつ、配線層の膜厚を薄くすることができるため、表面の平坦化が容易となる。

また、最上層のメタル配線層を金で構成しているため、アルミ配線のような従来の配線に比べて、耐湿性が高く、パッシベーション構造の簡略化が可能となる。また、下地の層間絶縁膜の表面を窒化シリコン膜で保護しており、この窒化シリコン膜にスルーホールが形成されている領域では、表面が最上層メタル配線層としての金層で覆われているため、下層配線領域および半導体素子領域の保護は完全となっている。

又USG膜などの層間絶縁膜を窒化シリコン膜で被覆しているため、膜厚に対して緻密でかつパッシベーション効果が高いため、この上層に形成されるパッシベーション膜はパッシベーション効果の低いものでもよい。従ってポリイミド膜のみでよく容易にかつ短時間で平坦化構造を得ることが可能と

なる。

また、前記平坦化絶縁膜はポリイミドからなることを特徴とする。

平坦化膜としてポリイミドを用いているため、塗布工程により、極めて容易に膜厚の大きい膜を形成することが可能となる。

また、最上層のメタル配線が金層で構成されているため、直接ポリイミドを形成しても十分なパッシベーション効果を得ることができる。さらにまた、そのままこれをボンディングパッドとして用いることも可能である。

さらに、前記窒化シリコン膜は高密度プラズマCVD法で形成された窒化シリコン膜であることを特徴とする。

かかる方法によれば、埋め込み性が良好な高密度プラズマを利用した気相成長法を用いて層間絶縁膜を形成することにより、緻密な膜を形成することができる上、上面の平坦な層間絶縁膜を効率よく形成することができる。

また、前記メタル配線層は、一部領域でポリイミド樹脂層が除去せしめられ、前記領域でボンディングワイヤが接続せしめられていることを特徴とする。

かかる構成によれば、周辺の必要な領域のみでポリイミド膜を除去し、ボンディングを行うようにすれば、ショートが発生確率が大幅に低減し、歩留まりの向上を図ることが可能となる。

また、ダイレクトボンディングを行うような場合には、フォトリソグラフィ法を用いてポリイミド膜にスルーホールを形成し、金の選択めっきを行うことにより、バンプの形成も極めて容易となる。

また、製造コストの高いSOG工程を省略することができるため、製造コストを下げることができる。また、製造のためのリードタイムを短縮することができる。

P35905HW2001/1/5

る。したがって、配線間絶縁膜の形成に要するコストを低減するとともに製造リードタイムの短縮を図ることができる。

【 0 0 1 7 】

すなわち、絶縁性に優れた平坦な上面を持つ層間絶縁膜を低コストかつ短リードタイムで形成することが可能となる。

【発明の実施の形態】

図 1 は、この発明の一実施形態による半導体装置を示す要部図である。また、図 2 ～図 6 に示される図面は、各製造工程における半導体装置の断面構成の一部を示したものである。

【0000】

この半導体装置は、図 1 に示すように、フィールド酸化膜 12 を形成してなるシリコン基板 1 の上に、ポリシリコンゲート 5 を備えた MOSFET (金属酸化物シリコン電界効果型トランジスタ) を形成する。

【0004】

所望の素子領域を形成してなるシリコン基板 11 表面に形成されたアルミニウムからなる第 1 の配線層 14 と、前記第 1 の配線層 14 表面を覆う USG 膜からなる層間絶縁膜 16 と、前記層間絶縁膜 16 表面全体を覆うようにプラズマ CVD 法によって形成された窒化シリコン膜 16s と、前記窒化シリコン膜 16s の上層に形成された最上層メタルとしての金層からなるメタル配線層 19 と、前記メタル配線層 19 上に形成されたポリイミド膜からなる平坦化絶縁膜 18 とを含むことを特徴とする。なお、メタル配線層 19 と第 1 の配線層 14 との間にはアルミニウムのマイグレーションを防止するために薄いチタン Ti 薄膜からなるバリア層 19B が介在せしめられている。

【0000】

なお、シリコン基板 11 上にはフィールド酸化膜 12 が成されると共に、ポリシリコンゲート 15 を備えた MOSFET が形成され、これらを覆うように、層間絶縁膜 13 が形成されている。層間絶縁膜 13 は、たとえば PSG (リンをドーピングしたシリコン酸化膜) や BPSG (ボロンおよびリンをドーピングしたシリコン酸化膜) により構成される。

【0000】

次にこの半導体装置の製造工程について説明する。

まず、図 2 に示すようにシリコン基板 1 1 表面に素子分離膜 1 2 を形成し、素子領域を形成するとともに、この素子領域内にポリシリコン膜からなるゲート配線 15 を備えた MOSFET を形成する。

【 0 0 0 0 】

そして図 3 に示すように、この上層に BPSG 膜からなる層間絶縁膜 1 3 を形成し、図示しないコンタクトホールを介してこのゲート配線 15 と接続する第 1 の配線層 1 4 を形成する。

【 0 0 0 0 】

この後図 4 に示すように、CVD 法（気相成長法）等により USG（非ドープケイ酸ガラス）を堆積させることにより USG 層 1 6 を形成し、更にこの上層にプラズマ CVD 法により窒化シリコン膜 1 6 s を形成する。

そして最上層のメタル配線を形成するためのコンタクトホール H を形成する。

【 0 0 0 0 】

この後、図 5 に示すように、スパッタリング法により、バリア層 1 9 b として膜厚 nm のチタン薄膜を形成した後、膜厚 nm の金層からなるメタル配線 1 9 を形成する。

【 0 0 0 0 】

この後、塗布法により膜厚 2 ミクロンのポリイミド膜からなるパッシベーション膜 1 8 を形成する。

【 0 0 0 0 】

このようにして図 1 に示したような半導体装置が形成される。

【 0 0 0 0 】

かかる構成によれば、最上層のメタル配線層を金層で構成しているため、ボンディング性に優れており、また低抵抗で信頼性の高いものである。更にまた、配線層の膜厚を薄くすることができるため、表面の平坦化が容易となる。

【 0 0 0 0 】

また、最上層のメタル配線層を金で構成しているため、アルミ配線のような従来の配線に比べて、耐湿性を高めることができ、パッシベーション構造の簡略化が可能となる。また、下地の層間絶縁膜の表面をプラズマCVD法で形成した窒化シリコン膜で保護しており、緻密であり、薄くてもパッシベーション効果に優れたものとなっている。

【 0 0 0 0 】

また、膜厚が薄くて済むため、上層の凹凸が少なく、平坦化工程が容易となる。

【 0 0 0 0 】

さらに窒化シリコン膜にスルーホールが形成されている領域では、表面が最上層メタル配線層としての金層で覆われているため、下層配線領域および半導体素子領域の保護効果は高く、信頼性の高いものとなっている。

【 0 0 0 0 】

又USG膜などの層間絶縁膜を窒化シリコン膜で被覆しているため、膜厚に対して緻密でかつパッシベーション効果が高いものとなっている。また、この上層に形成されるパッシベーション膜はパッシベーション効果の低いものでもよい。従ってポリイミド膜のみでよく容易にかつ短時間で平坦化構造を得ることが可能となる。

また、平坦化膜としてポリイミドを用いているため、塗布工程により、極めて容易に膜厚の大きい膜を形成することが可能となる。

また、最上層のメタル配線が金層で構成されているため、直接ポリイミドを形成しても十分なパッシベーション効果を得ることができる。さらにまた、そのままこれをボンディングパッドとして用いることも可能である。

さらに、前記窒化シリコン膜として、埋め込み性が良好な高密度プラズマを利用した気相成長法を用いて層間絶縁膜を形成することにより、緻密な膜を形成することができる。また、上面の平坦な層間絶縁膜を効率よく形成することができる。

【 0 0 0 0 】

また、周辺の必要な領域のみでポリイミド膜を除去し、ボンディングを行うようにすれば、ショートが発生確率が大幅に低減し、歩留まりの向上を図ることが可能となる。

【 0 0 0 0 】

さらにまた、ダイレクトボンディングを行うような場合には、フォトリソグラフィ法を用いてポリイミド膜にスルーホールを形成し、金の選択めっきを行うことにより、バンプの形成も極めて容易となる。またバンプの周囲はポリイミド膜であるため、弾力性に富み、ボンディングが容易である。

【 0 0 0 0 】

また、製造コストの高いSOG工程を省略することができるため、製造コストを下げるができる。また、製造のためのリードタイムを短縮することができ、配線間絶縁膜の形成に要するコストを低減する。さらにまた製造リードタイムの短縮を図ることができる。

【 0 0 1 7 】

P35905HW2001/1/5

すなわち、絶縁性に優れた平坦な上面を持つ層間絶縁膜を低コストかつ短リードタイムで形成することが可能となる。

【 0 0 0 0 】

なお、層間絶縁膜としては、B P S G の他、たとえば P S G (リンをドーピングしたシリコン酸化膜) や U S G 膜も適用可能である。

【 0 0 0 0 】

また、堆積した U S G 層の上に、S O G (Spin On Glass) 法を用いて、厚肉を形成しやすいケイ素化合物からなる有機絶縁物 (有機 S O G) で構成された有機 S O G 層を塗布し、U S G 層の上面の凹部を埋めたのち、窒化シリコン膜を形成するようにしてもよい。

【 0 0 0 0 】

また、高密度プラズマ C V D 法は、埋め込み性が良好であるため、U S G 層の上面を平坦に保ちつつ、凹部を埋め込むことができる。すなわち、アルミニウムのストリンガーを引き起こすような局所的な段差部を選択的に埋め込みながら、徐々に平坦な表面を形成する。

【 0 0 0 0 】

この後、水洗工程、S O G アニール工程などを経て、膜質の良い U S G 層で S O G 層を囲い込んだ構造を有する絶縁性の高い配線間絶縁膜が形成される。

【 0 0 0 0 】

高密度プラズマ C V D 装置は、C V D 法による膜形成と、スパッタによるエッチングとを同時に行なうようにすることができ、埋め込み性に優れた膜形成をおこなうことが可能となる。高密度プラズマ C V D 装置のプラズマ源として、E C R (エレクトロン・サイクロトロン・リゾナンス) を用いたものや、I C P (インダクティブリー・カップルド・プラズマ) を用いたもの等が知られている。

【 0 0 3 5 】

また高密度プラズマCVD装置は、プラズマ源として、ICP（インダクティブ・カプラド・プラズマ）を用いたものである。高密度プラズマCVD装置は、半球形のセラミックドームを備えており、セラミックドームの外周には、銅で構成されたコイルが配置されている。コイルには、300 [KHz] ~ 2 [MHz] 程度の低周波電力が加えられるようになっている。高密度プラズマ（ $10^{11} \sim 10^{12}$ [イオン/cm³]）は、この低周波電力に基づく誘導結合エネルギーによって形成される。

【0000】

また、製造コストの高いSOG工程をポリイミド膜の塗布工程に代えることができる。このため、SOG層を形成する工程が不要となる分、製造コストを下げることができ、製造に要するリードタイムを短縮することができる。したがって、配線間絶縁膜の形成に要するコストを低減するとともに製造リードタイムを短縮することができる。

【0000】

すなわち、絶縁性に優れた平坦な上面を持つ配線間絶縁膜を低コストかつ短リードタイムで形成することが可能となるのである。

【0000】

また、上述の実施形態においては、層間絶縁膜としてUSG（非ドープケイ酸ガラス）を用いた場合を例に説明したが、第1の絶縁膜および第2の絶縁膜は、これに限定されるものではない。たとえば、第1の絶縁膜および第2の絶縁膜のうちの双方または一方を、FSG（フッ素添加SiO₂）等を用いて形成することができる。FSGを用いることにより、寄生容量を低減可能であるという効果を奏効する。

【0000】

また、上述の実施形態においては、下地層として、フィールド酸化膜およ

びこの上に形成されたアルミ配線とにより構成されるM O S F E Tの配線層を例に説明したが、下地層はこれに限定されるものではない。この発明における下地層とは、凹凸状表面を有する導電体層全般を意味するものである。

【 0 0 0 0 】

【発明の効果】

本発明によれば、最上層メタル配線に金を使用すると共に、層間絶縁膜上に窒化シリコン膜を形成することによりパッシベーション効果を高めるようにしているため、製造が容易でかつ信頼性の高い半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図 1】

この発明の一実施形態による半導体装置を示す図、

【図 2】

この発明の一実施形態による半導体装置の製造方法、

【図 3】

この発明の一実施形態による半導体装置の製造方法、

【図 4】

この発明の一実施形態による半導体装置の製造方法、

【図 5】

この発明の一実施形態による半導体装置の製造方法、

【図 6】

従来の半導体装置を示すための図。

【符号の説明】

1 2 フィールド酸化膜
1 4 アルミ配線
1 6 U S G 層
1 6 s プラズマ窒化シリコン層
1 8 ポリイミド膜
1 9 金層
1 9 b Ti層

【書類名】 要約書

【要約】

【課題】 製造が容易でかつ絶縁性に優れ、平坦な上面（表面）を持つパッシベーション構造を備えた配線構造を、低コストかつ短リードタイムで形成する。

【解決手段】 本発明では、所望の素子領域の形成された基板表面に形成された配線層と、前記配線層表面を覆う層間絶縁膜と、前記層間絶縁膜表面全体を覆うように形成された窒化シリコン膜と、前記窒化シリコン膜の上層に形成された最上層メタルとしての金層からなるメタル配線層と、前記メタル配線層上に形成された平坦化絶縁膜とを含むことを特徴とする。

【選択図】 図1

00-128

P-3175

図面は、トレスの上から見た
お送りします。
もしお送りしたい。

請求項

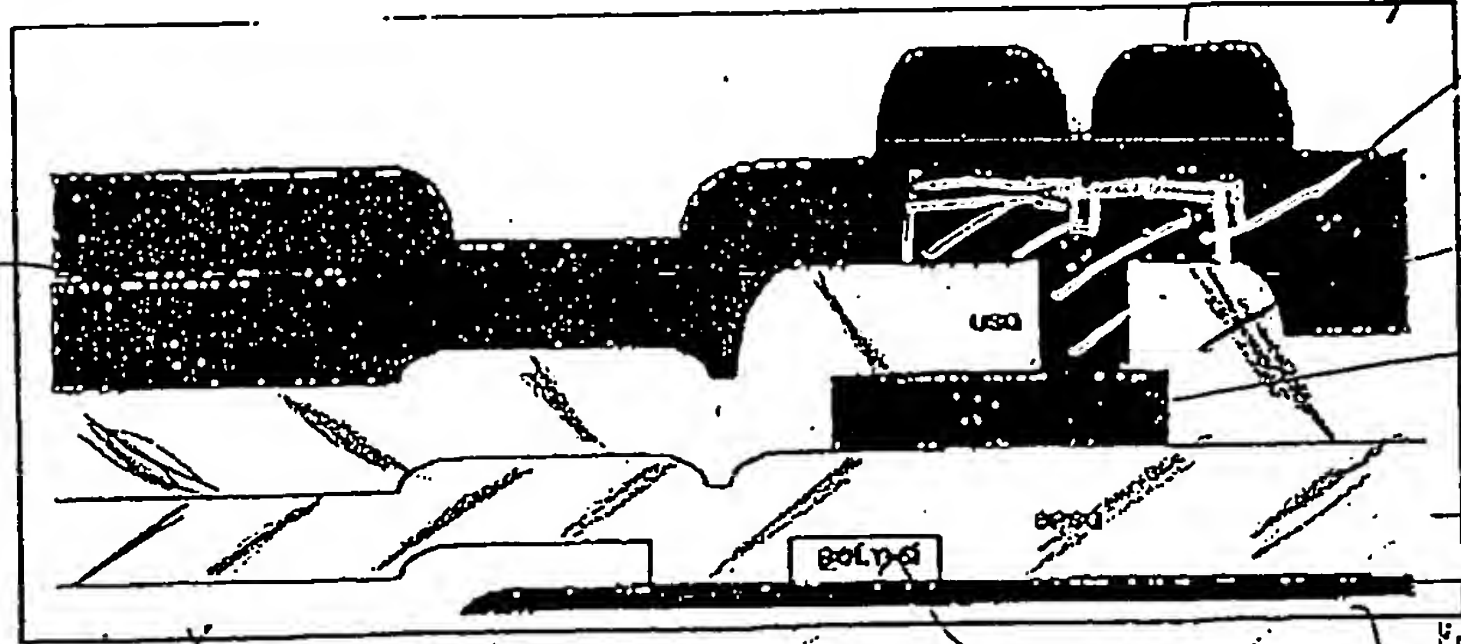
・金による配線とポリイミドを使用することによりパッシベーションを削減する。

目的

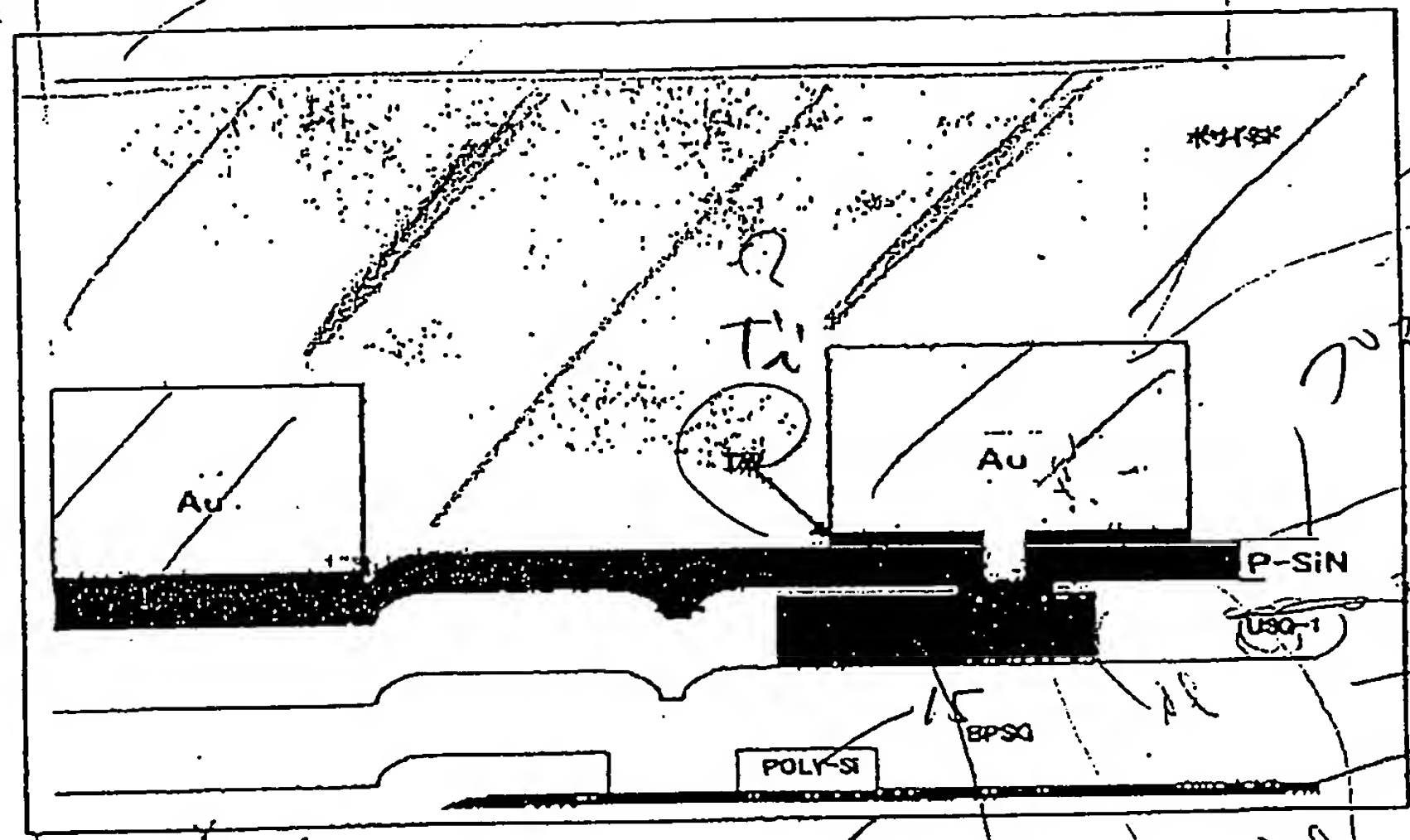
・低抵抗化、信頼性UP、プロセス削減。

、フット=性能UP

従来配線



新構造配線



従来との相違点

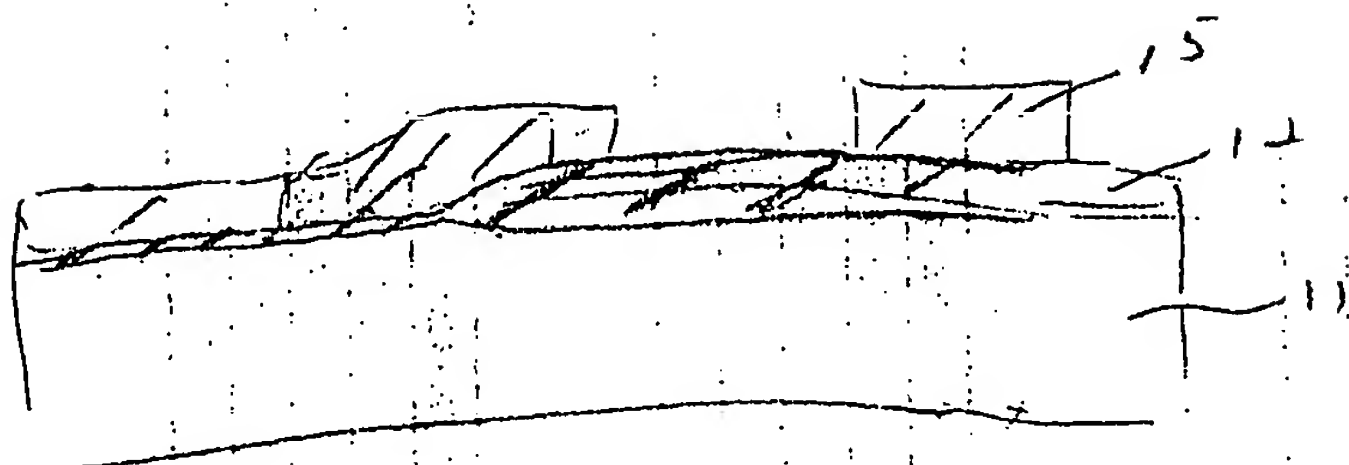
1. 最終メタル層に金を使用する。
2. 層間膜の上層にSiNを使用し、パッシベーションがわりにする。
3. ポリイミドを直接Au上に塗布し、PADをパターニングする。

ポリイミドに

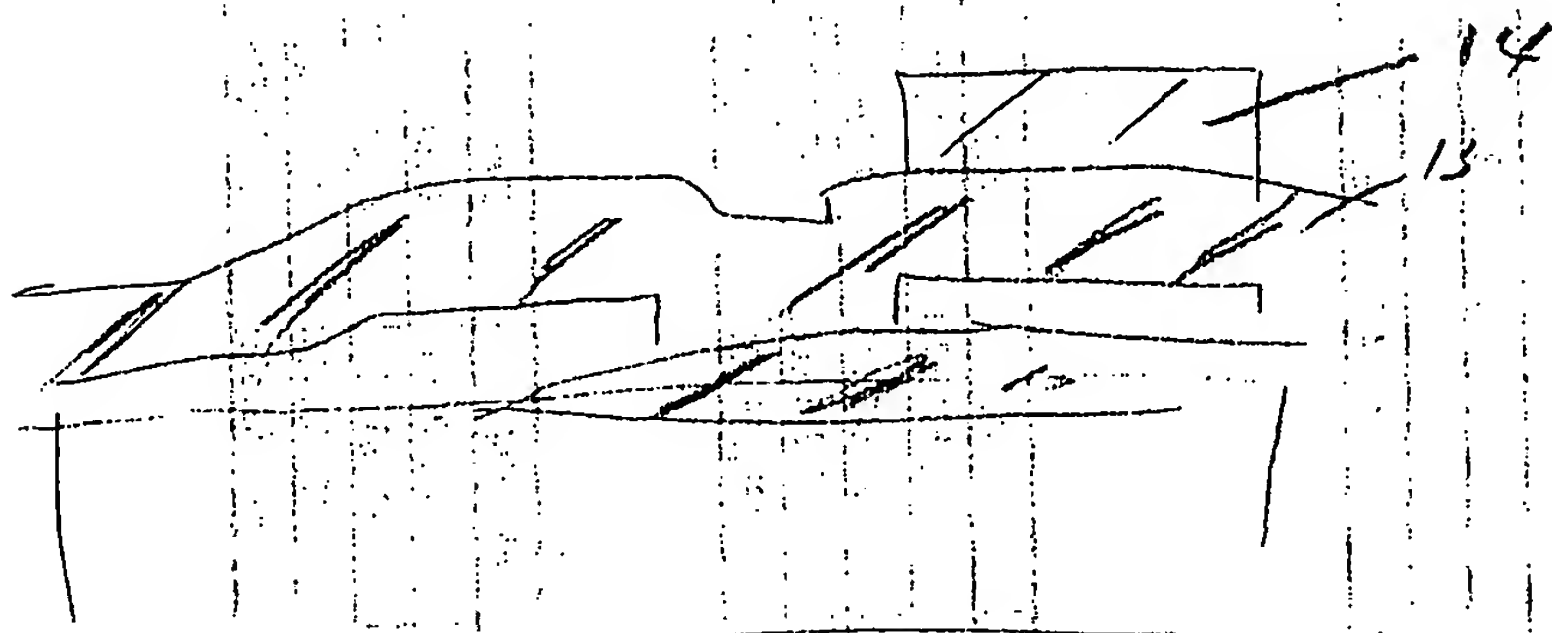
(金配線)



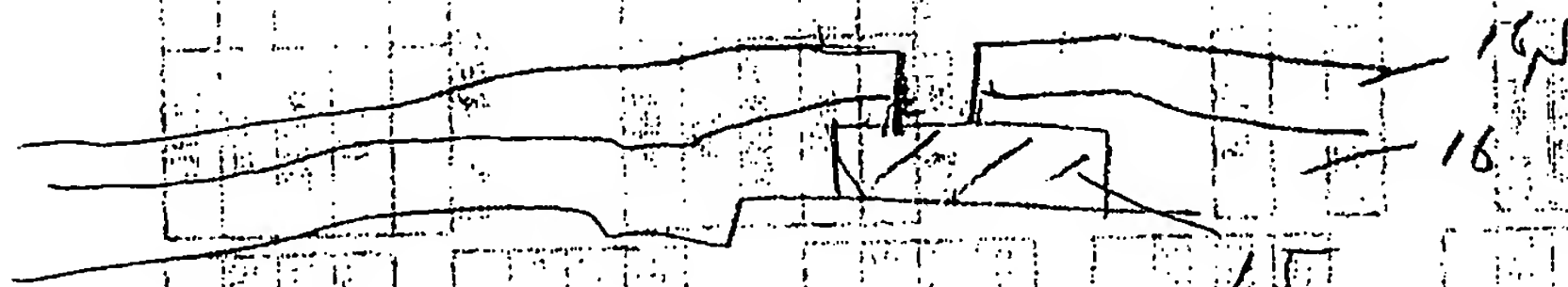
12 ~



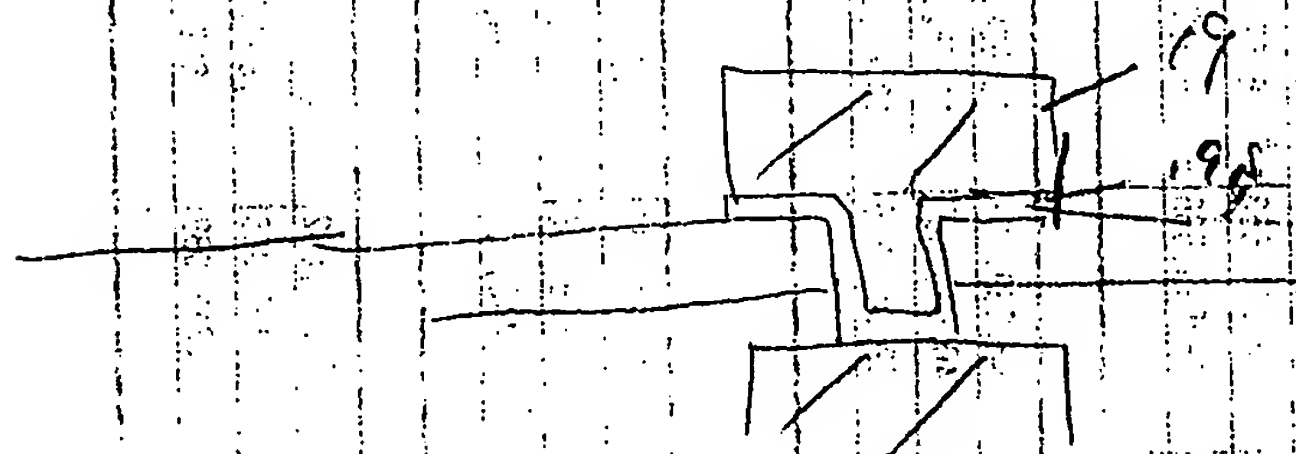
13 1



14 4



15 5



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.